

DERWENT-ACC-NO: 2001-348630

DERWENT-WEEK: 200137

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Thin film transistor array substrate  
manufacturing  
metal film so as to method involves patterning specific  
wiring, electrode and form source wiring connecting drain  
semiconductor layer

PATENT-ASSIGNEE: NEC CORP[NIDE]

PRIORITY-DATA: 1999JP-0261119 (September 14, 1999)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	MAIN-IPC
JP 2001085697 A	011	March 30, 2001	N/A
		H01L 029/786	

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
JP2001085697A	N/A	
1999JP-0261119	September 14, 1999	

INT-CL (IPC): G02F001/1365, G09F009/00, G09F009/30,  
H01L021/3065,  
H01L021/336, H01L029/40, H01L029/786

ABSTRACTED-PUB-NO: JP2001085697A

BASIC-ABSTRACT:

NOVELTY - A pair of transparent metal films (3,72) are deposited sequentially on the substrate. A pixel electrode is provided on the insulating film formed on the substrate. A semiconductor layer (9) is formed on insulating film. By

removing the insulating layer on electrode, a vent is formed. The metal film is patterned so as to form source wiring connecting drain wiring, electrode and semiconductor layer.

USE - For manufacture of thin film transistor array substrate for mounting thin film transistor.

ADVANTAGE - During terminal TCP repair, debonding of gate insulating film and passivation film is eliminated and therefore terminal connection reliability is improved. The deterioration of transistor characteristic is prevented, as the damage to thin film transistor channel is reduced.

DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of thin film transistor array substrate. (Drawing includes non-English language text).

Transparent metal films 3,72

Semiconductor layer 9

CHOSEN-DRAWING: Dwg.5/13

---

DERWENT-CLASS: L03 P81 P85 U11 U12 U14

CPI-CODES: L04-C06; L04-C10A; L04-E01;

EPI-CODES: U11-C07A1; U11-C18A3; U12-B03A; U14-K01A2A;

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-85697

(P2001-85697A)

(43) 公開日 平成13年3月30日 (2001.3.30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	キーワード (参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 D 2 H 0 9 2
21/336		G 0 9 F 9/00	3 4 2 C 4 M 1 0 4
G 0 2 F 1/1365		9/30	C 5 C 0 9 4
G 0 9 F 9/00	3 4 2		3 4 8 A 5 F 0 0 4
9/30		H 0 1 L 29/40	A 5 F 1 1 0
審査請求 有 請求項の数7 OL (全 11 頁) 最終頁に続く			

(21) 出願番号 特願平11-261119

(22) 出願日 平成11年9月14日 (1999.9.14)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 田中 宏明

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

最終頁に続く

#### (54) 【発明の名称】 薄膜トランジスタアレイ基板の製造方法

#### (57) 【要約】

【課題】従来の薄膜トランジスタアレイ基板の製造方法では、ドレイン配線のドライエッチング時に、画素電極部においてはドレイン配線金属下のゲート金属膜もエッチングする必要がある為、ドレイン配線金属にのみ覆われる半導体層は必要以上にオーバーエッチングされ、半導体層のバックチャネル部は多大なダメージを受ける。又、ドレイン配線金属下のゲート金属膜がオーバーエッチングされ、ゲート絶縁膜及びパッシベーション膜の膜剥がれの原因となる。

【解決手段】画素電極部に第1開口部10を形成する時に、ゲート金属膜の除去を行うことにより、半導体層9上のドレイン配線金属3のドライエッチング時間が従来より短くできる為、半導体層9のバックチャネルに与えるダメージを低減できる。同時に、画素電極部の構造を端子部にも適用することにより、金属膜11、15の腐食を防止し、端子接続信頼性を向上させることも出来る。

